



Becas colaboración curso 2017/2018

Fecha: 05 Julio 2017

Vicerrectorado de Investigación, Innovación y Transferencia

Subcomisión de I+D+i

Propuesta del departamento *INFORMATICA DE SISTEMAS Y COMPUTADORES*

Núm Proyecto: 2017/17/00005

Responsable

Sahuquillo Borrás, Julio

E-mail

jsahuqui@disca.upv.es

Ext.

77577

Título proyecto

Estrategias de particionado cache en procesadores Intel Xeon E5

Valoración proyecto

4

Descripción proyecto

El proyecto se centra en procesadores Intel que implementen tecnología CAT (cache allocation technology). Esta tecnología permite especificar la cantidad de la memoria cache de último nivel (LLC) que se asigna a cada COS (class of service) constituida por una sola aplicación o conjunto de aplicaciones.

El objetivo del proyecto es la propuesta de políticas que, en tiempo de ejecución, seleccionen que aplicaciones se asignarían a cada COS con miras a mejorar el throughput o el fairness. Para ello, es necesario realizar medidas en tiempo de ejecución y analizar las necesidades en cuanto a espacio de cache requerido por cada aplicación, su impacto en las prestaciones y las interferencias.

Actividades a realizar por el alumno

Las actividades se realizarán sobre las máquinas reales mencionadas y con benchmarks de uso generalizado por la comunidad científica. Las actividades son:

1. Caracterización del comportamiento de las prestaciones de las aplicaciones, en ejecución individual, en función del espacio de cache asignado.
2. Análisis de métricas que identifiquen las relaciones entre el espacio asignado y las prestaciones de las aplicaciones.
3. Estimación de interferencias entre aplicaciones en ejecución multinúcleo.
4. Criterios de agrupación de aplicaciones en COS.
5. Propuesta de políticas de reparto de espacio de cache.
6. Escritura de un artículo científico.

Horario

A convenir con estudiante. Tres horas diarias, de lunes a viernes y adecuadas al horario académico, a partir de la adjudicación de la beca y hasta el 30 de junio de 2018