



## Becas colaboración curso 2015/2016

Fecha: 18 Junio 2015

### Vicerrectorado de Investigación, Innovación y Transferencia

Subcomisión de I+D+i

Propuesta del departamento *INFORMATICA DE SISTEMAS Y COMPUTADORES*

**Núm Proyecto: 2015/17/00009**

#### Responsable

López Rodríguez, Pedro Juan

#### E-mail

plopez@disca.upv.es

#### Ext.

75704

#### Responsable

Alonso Díaz, Marina

#### E-mail

malonso@disca.upv.es

#### Ext

75721

#### Título proyecto

Mecanismos para la reducción del consumo en redes on-chip

#### Valoración proyecto

4

#### Descripción proyecto

Los procesadores actuales integran varios núcleos de procesamiento en el mismo chip y se espera que dicho número crezca notablemente en el futuro. La comunicación entre ellos se realiza por medio de redes de interconexión punto a punto (redes on-chip o NoCs). Las prestaciones de la red influyen notablemente en el rendimiento final del procesador. Por otra parte, desde hace tiempo, los sistemas de cómputo incorporan técnicas para la reducción del consumo de potencia/energía, con el objetivo de reducir el calentamiento y la factura energética. En esta línea, nuestro grupo ha propuesto diversas alternativas en el contexto de redes de interconexión fuera del chip. En este proyecto, nos planteamos incorporar dichas propuestas a las redes on-chip. Para ello, modificaremos una herramienta de simulación dirigida por ejecución para incorporar las técnicas de reducción del consumo y analizaremos las prestaciones obtenidas en lo relativo a tiempo de ejecución y consumo de potencia y energía.

#### Actividades a realizar por el alumno

- Instalación y configuración de un simulador dirigido por ejecución. La propuesta inicial es utilizar el simulador multi2sim (<https://www.multi2sim.org>), desarrollado inicialmente en la UPV y utilizado actualmente por muchos grupos de investigación. Dicha herramienta es capaz de simular procesadores multihilo y multinúcleo, considerando tanto la jerarquía de memoria como la red de interconexión.
- Adaptación de técnicas de reducción del consumo de potencia ya desarrolladas para redes fuera del chip a redes on-chip.
- Modificación del simulador dirigido por ejecución para que incorpore dichas técnicas.
- Validación del funcionamiento del simulador modificado.
- Evaluación de las prestaciones obtenidas mediante la simulación dirigida por ejecución de cargas paralelas.

#### Horario



## Becas colaboración curso 2015/2016

*Fecha: 18 Junio 2015*

A convenir con el alumno